

Original document

COAXIAL SHIELDING STRUCTURE FOR SEMICONDUCTOR DEVICE

Patent number: JP6216343

Publication date: 1994-08-05

Inventor: TSAY CHING-YUH; TAN KHEN-SANG

Applicant: TEXAS INSTR INC <TI>

Classification:

- international: H01L27/108; H01P3/06; H03K17/16

- european:

Application number: JP19920200066 19920728

Priority number(s):

Also published:

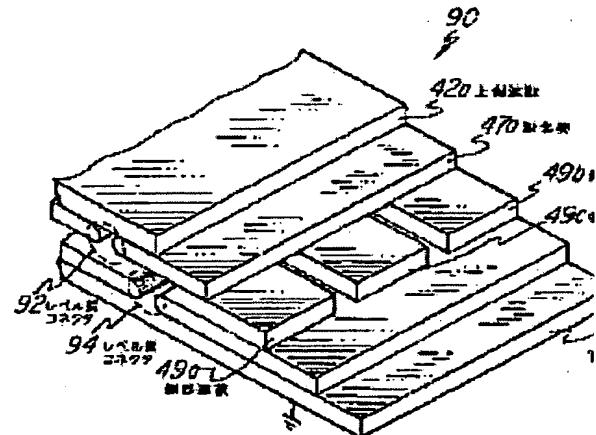
US5338897

[View INPADOC patent family](#)

Abstract of JP6216343

PURPOSE: To reduce noise in an integrated semiconductor device by electrically bypassing the upper conductors, lower conducts, first and second side conductors on semiconductor dies.

CONSTITUTION: An on-chip noise-shielding structure 90 functions as a noise shield for signals transmitted through a central conductor 49c and protects them against noises by transmitting a stable reference voltage through an on-chip coaxial cable structure. Conductive material at three levels are used for the formation of the noise-shielding structure, and in a dual-structure metallic DRAM, an upper-level conductive material 42a is formed of two metallic layers. The upper-level conductive material 42a constitutes a noise shield for the central conductor 49c. When the metal layers are formed, they can be formed on a silicon substrate. Thus a shielding structure can be formed, without adding special stages of processing when the device of dual metal structure is being processed. Further, since outer conducts are grounded, noise-eliminating characteristic can be enhanced.



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216343

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁶
H 01 L 27/108
H 01 P 3/06
H 03 K 17/16

識別記号 庁内整理番号
9184-5J
7210-4M

F I
H 01 L 27/ 10

技術表示箇所
3 2 5 T

審査請求 未請求 請求項の数 2 0 L (全 13 頁)

(21)出願番号 特願平4-200066
(22)出願日 平成4年(1992)7月28日
(31)優先権主張番号 07/738010
(32)優先日 1991年7月30日
(33)優先権主張国 米国(US)

(71)出願人 590000879
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州グラス, ノース
セントラルエクスプレスウェイ 13500
(72)発明者 チン ユー ツァイ
アメリカ合衆国 テキサス州 75082 リ
チャードソン ハニーサックル ドライヴ
2408
(72)発明者 ケン サン タン
アメリカ合衆国 テキサス州 75023 ブ
ラノアーバー ダウンズ ドライヴ 709
(74)代理人 弁理士 中村 稔 (外6名)

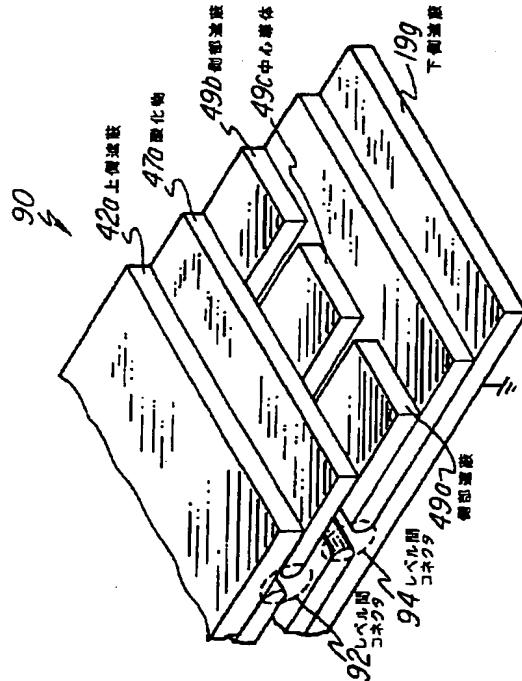
(54)【発明の名称】 半導体装置用同軸遮蔽構造

(57)【要約】

【目的】 本発明の目的は、外側導体内に配置され誘電体によって外側導体から絶縁されている信号導体を有するオンチップ同軸ケーブル構造を提供することである。

【構成】 半導体ダイス上において上部導体、下部導体、第1の側部導体、及び第2の側部導体の間に配置され、且つそれらから絶縁されている信号導体を具备し、上記上部導体、下部導体、第1の側部導体、及び第2の側部導体が電気的にバイアスされていることを特徴とする。

【効果】 本発明の構造は、特別な処理段階を付加することなく二重金属構造の装置の処理中に形成させることができ、外側導体を接地することによって雑音排除特性を高めることができる。



【特許請求の範囲】

【請求項1】 半導体ダイス上において上部導体、下部導体、第1の側部導体、及び第2の側部導体の間に配置され、且つそれらから絶縁されている信号導体を具備し、上記上部導体、下部導体、第1の側部導体、及び第2の側部導体が電気的にバイアスされていることを特徴とする半導体装置のための保護された信号導体。

【請求項2】 半導体サブストレート上に第1の導体信号担体を形成させる段階と、上記第1の導体信号担体が第2の導体内に位置し、且つ第2の導体から絶縁されるように上記半導体サブストレート上に第2の導体を形成させる段階と、を具備することを特徴とする半導体サブストレート上の信号担体を雑音から絶縁する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積半導体装置に関し、具体的にはこれらの装置の信号伝送線レイアウトに関する。

【0002】

【従来の技術】 大容量のダイナミックランダムアクセスメモリ (DRAM) 型の半導体の開発を追求することが周知の目標である。この分野は White, McAdams 及び Redwine の合衆国特許 4,081,701号に示された 16 K型の DRAM、及び Rao の合衆国特許 4,055,444 号に示された 64 K型の DRAM から、McElroy の合衆国特許 4,658,377号に示された 1 M型の DRAM まで着実に前進してきた。現在では 4 M型の DRAM が生産されている。現在、サブミクロン技術の 16 M DRAM の生産計画が存在しており、05/21/91付 Shen, Yashiro, McKee 及び Chung の合衆国特許 5,017,506号には高密度 16 M

DRAM の製造に適するプロセスが開示されている。より大きい DRAM の開発を進める 1つの理由は、Kuo の合衆国特許 4,240,092 号 (平面コンデンサセル)、及び Baglee らの合衆国特許 4,721,987号 (溝コンデンサセル) に示されているように、メモリセルのジオメトリを減少させるためである。上記合衆国特許 5,017,506号に記載されている 16 M DRAM はサブミクロンの寸法を有している。

【0003】

【発明が解決しようとする課題】 高密度装置を製造する際に設計者が遭遇する問題は雑音である。望ましくない幾つかの項目の中でも雑音は、回路を偶発的にスイッチさせる恐れがあり、データを失わせる恐れがあり、そして信号レベルを妨害する恐れがある。ジオメトリを減少させ、装置を半導体ダイス上により緻密にパックし始めるにつれて、雑音が諸問題を惹起する機会が増加する。

【0004】

【課題を解決するための手段】 本発明の目的は、集積半導体装置内の雑音を軽減させることである。本発明の別の目的は、集積半導体装置における雑音遮蔽を提供することである。本発明は、導体によって伝送される信号に悪影響を与える雑音を低減させるオンチップ同軸ケーブルを提供する。信号導体は半導体チップ上に敷設される。この信号導体は第2の導体内に配置され、それとは絶縁されている。二重レベル金属のようなマルチレベル金属装置では、信号導体を第1のレベルの金属で形成させ、第2の導体をこれも第1のレベルの金属で形成させることができる。第1のレベルの金属は、第1の信号導体を該導体に沿って形成される第2の導体の部分から分離させるようにパターン化される。第2のレベルの金属と、ポリシリコンのような導電性材料のレベルとによって、第2の導体の形成を完了させることができる。ポリシリコンのレベルを信号導体の下に配置し、雑音をさらに低下せしめるためにある電圧電位に接続することができる。第2のレベルの金属が信号導体の上に配置されている。信号導体と第2の導体との間を絶縁するために、酸化物絶縁体を設けることができる。通路 (via) のようなレベル間コネクタ及び酸化物絶縁体内の接点によって、種々レベルにある第2の導体の間の電気的結合を可能にしている。信号導体は半導体チップ上の外側導体の内部に中心決めされ、それから絶縁されていて、信号導体を雑音妨害から保護する同軸ケーブルがチップ上に形成される。

【0005】 本発明の他の目的及び長所は以下の添付図面に基づく説明から明白に成るであろう。

【0006】

【実施例】 図1を参照する。本発明の雑音遮蔽構造は、テキサス・インスツルメンツ・インコーポレーテッドに譲渡された 05/21/91 付合衆国特許 5,017,506号に記載されているようなサブミクロンプロセスによって半導体チップ 10 (以下に、場合に応じてサブストレート、またはウエーハと称することがある) の 1つの面内に形成された DRAMアレイ 12 を有する半導体チップ 10 上の信号を絶縁するために使用することができる。DRAM回路は、例えば 16 MビットDRAM であってよい。DRAMアレイ 12 は、4メガバイトの4つのメモリ象限 12a-12d に分割され、各象限はシリコンで形成されている半導体チップ 10 の活動面内に位置している。各メモリ象限 12a-12d は、256 Kバイトずつの 16 のメモリブロック 16 を含む。各メモリブロック 16 は、2048 本のビット線 17 (または列) と、1024 のセンス増幅器と、256 本の語線 19 (または行) を含んでいる (これらのビット線、語線、及びセンス増幅器は明瞭化のために図1には示してない)。列デコーダ 18 は、それらの関連メモリアレイ象限に接してチップの水平軸 23 に沿って配置されている。行デコーダ 20 は、それらの関連メモリアレイ象限に接してチップの垂

直軸 25 に沿って配置されている。入力バッファ、出力バッファ、タイミング回路及び制御回路のような装置を含む周辺回路 22 は周辺のサブストレート上に形成され、チップの水平軸に沿って中心に配置され、一方ボンディングパッド 24 はチップの垂直軸に沿って中心に配置されている。明瞭化のために図 1 には示していないが、このDRAM はアドレス信号 A0-A11 を受け、その動作は標準信号である行アドレスストローブ RAS 信号、列アドレスストローブ CAS 信号、及び書き込み許可 W 信号によって制御される。半導体チップ 10 の大きさは約 3 27×660 ミルである。

【0007】図 2 はカプセル封じられたチップ 10 の斜視図であってカプセル材料 26 を透明にして内部を示してあり、一方図 3 は分解図である。チップ 10 はリードオーバーチップセンター・ボンド (LOCBB) 型の薄いプラスチック製の小さい外形の J 型パッケージ内にカプセル封じられている。チップ 10 はリードフレーム 30 の下に配置されている。ポリイミドテープ 32 の 2 つのストリップがチップ 10 の垂直軸 25 に沿い、ボンディングパッド 24 を覆わずに露出させるように、ボンディングパッド 24 の両側に位置決めされている。組立てた時、ボンディングパッド 24 は V_{dd} 電源バス 36 と V_{ss} 電源バス 38 との間に位置し、種々のボンディングパッド 24 はこれらの電源バスから半導体チップ 10 への多重接続を可能ならしめる。ワイヤーボンド 40 a のような他のワイヤーボンドは電源バスをまたいでリードフィンガー 40 をボンディングパッド 24 に取り付けている。これらの交差したワイヤーボンドは電源バスに接触することはなく、短絡は生じない。カプセル封じられたパッケージの寸法はほぼ 400×725 ミルである。

【0008】図 4 はDRAM アレイ 12 の一部の上面図である。DRAM アレイ 12 のメモリセルは、サブミクロン技術によって得られた溝コンデンサ型である。これらのメモリセルは二重語線ピッチ内に展開され、サブストレート 10 内に約 6 ミクロンの深さに伸びている。ピット線 17 はポリサイド (policide) であり、雑音排除特性を改善するために三重にツイストされている。語線 19 はポリシリコンであり、64 ピット置きにストラップされている。

【0009】図 5 はDRAM アレイ 12 の一部の斜視図であり、図 6 は断面図である。相互接続金属-2 層 42 は語線ストラッピングを達成し、後述するように、本発明の雑音遮蔽構造に使用することができる。金属-2 層 42 は、半導体チップ 10 の第 2 のレベルの金属である。酸化物層 47 が金属-2 層 42 を金属-1 層 49 から分離している。金属-1 層 49 はマルチレベル相互接続金属 49 であってピット線への接続を達成し、雑音遮蔽構造に使用することができる。金属-1 層 49 は、半導体チップ 10 の第 1 層の金属である。従って、半導体チップ 10 上に形成された集積回路メモリ装置は、第 1 50

金属層 49 と第 2 金属層 42 とを有する二重レベル金属構造である。

【0010】酸化物層 51 は相互接続金属-1 層 49 の下に横たわっていて、珪化物ピット線 17 と第 1 金属層 49 との間を絶縁している。ピット線 17 は、ポリシリコンの層 17 b 上に横たわるチタン空化物の層 17 a からなっている。酸化物層 53 がピット線 17 の下に、そして語線 19 の上に位置している。ポリシリコンの語線 19 は、約 0.6 ミクロンのサブミクロン幅を有している。語線 19 a はバストランジスタ 43 のゲートを形成している。これは酸化物層 54 によってサブストレート 10 から分離されている。語線 19 c 及び 19 d は上側溝コンデンサ 44 及び 45 の上を通過し、他の溝コンデンサ (図示していない) に接続している。これらの語線は酸化物層 55 によってポリシリコンフィールド板 48 から分離されている。語線 19 は空化物の側壁 57 を有している。N+拡散層 59 がピット線接点 15 の下方の P-タンク 60 内の、語線 19 a と溝コンデンサ 44 との間に位置している。このようにして、N+拡散層 59 はバスクエートトランジスタ 43 のソース 56 及びドレイン 58 を形成している。フィールド板 48 の下側の、溝コンデンサ 44 及び 45 を分離している溝と溝との間の空間には空化物層 61 が配置される。空化物層 61 と P-タンク 60 との間には酸化物層 62 が位置している。これはシリコンサブストレート 10 と空化物層 61 との間のバッファ層として働き、フィールド板絶縁用誘電体の部分である。溝コンデンサ 44 及び 45 は P-タンク 60 を通ってシリコンウエーハ 10 の P サブストレート内まで伸びている。溝コンデンサ壁の外側に注入された砒素の層 50 はコンデンサの N+ストレージノードを発生する。溝コンデンサ壁は、砒素溝壁注入とポリシリコンフィールド板 48 との間で (記憶) 誘電体として働く酸化物及び空化物の層 52 を含む。転送トランジスタ 43 及び溝コンデンサがメモリセル 46 を構成する。

【0011】図 7 は転送トランジスタ 43 及び溝コンデンサ 44 の電気的動作を説明するための回路図である。データをメモリセル 46 に記憶させる場合、データ (3.3V または 0.0V) がピット線 17 上に印加され、高電圧 (約 6V) 信号がゲート 54 に印加される。ピット線 17 上に印加された電圧はソース 56 を介して記憶誘電体 52 に伝えられる。フィールド板 48 は約 1.65 V の参照電位に結合されており、従ってピット線 17 によって印加された電圧は記憶誘電体 52 に記憶される。記憶誘電体 52 にデータを記憶させるためには、ゲート 54 から正の電圧を取り除いてソース 56 とドレイン 58 との間の導電を停止させる。

【0012】図 8 は、バイアス電圧 V_{ARRAY} 及び V_{PERI} を発生するオンチップ電圧調整器システム 64 のプロック線図である。これらのバイアス電圧は、本発明の雑音遮蔽構造によって保護することができる。DRAM は、

典型的には 5V である外部正電圧 V_{dd} を受ける。オンチップ電圧調整器システム 64 はアレイ 12 (それと付属するセンス増幅器のような回路を含むが、ここではまとめてアレイ 12 と称する) 及び周辺回路のための異なるバイアス電圧を供給する。この場合、アレイ 12 とメモリコンデンサ誘電体の時間依存誘電体降伏による電力消散を減少させるように、外部から印加される 5V の V_{dd} 電圧より低い電圧でアレイ 12 をバイアスすることが望ましい。これはまた、トランジスタの薄いゲート酸化物の酸化物障害を防ぐのを援助する。DRAM アレイ 12 は電圧 V_{ARRAY} によって約 3.3V にバイアスされ、周辺回路 22 は電圧 V_{PERI} によって約 4V にバイアスされる。周辺回路 22 の性能が半導体装置の性能に直接影響するから、アレイ 12 をバイアスするために使用する電圧よりも高い電圧で周辺回路 22 をバイアスすることが好ましい。しかしながら、アレイ 12 及び周辺回路 22 の両者を同一の電圧でバイアスしても差し支えなく、電圧調整器システム 64 は、若干の変更を施せば、同じ値の電圧 V_{ARRAY} 及び V_{PERI} を供給することができる。DRAM をラップトップコンピュータシステム (システムのための電池駆動電圧は、典型的には約 2.8V プラスまたはマイナス約 0.8V 程度である) 内に組み込む場合のように、生成されるこれらのバイアス電圧は低くしても差し支えない。上述の供給される同一電圧値は、電池からラップトップコンピュータに供給される値に等しくすることができる。また、半導体及びコンピュータ業界が V_{dd} の供給を標準の 5V から約 3V に下げるに同意する場合には、バイアス電圧 V_{ARRAY} 及び V_{PERI} は相応に低下させることができ、また同一値とすることができる。

【0013】図 8において、バンドギャップ参考回路 65 は、乗算回路 66 へ供給される電圧 V_{ref} を生成する。多くのバンドギャップ電圧参考発生器回路が知られている。電圧 V_{ref} は約 1.2V の安定した参考電圧である。電圧乗算回路 66 は、多くの普通の構成の 1 つに従って形成することができる。本例では、乗算回路 66 は電圧 V_{ref} から線 MVA 及び線 MVP 上の 2 つの出力電圧を生成する。線 MVA 上の電圧は約 3.3V 程度であり、線 MVP 上の電圧は約 4.0V 程度である。

【0014】バーンイン電圧発生器回路 67 は、外部から印加される電源電圧 V_{dd} と共に変化する電圧を線 VLBIN 上に生成する。 V_{dd} クランプ回路 68 は線 VCLMP 上に電圧を生成し、この電圧は外部電圧 V_{dd} がある値を超えていることを高 V_{dd} 検出回路 70 が検出すると固定レベルにクランプされる。線 MVA、線 VLBIN 及び線 VCLMP は V_{ARRAY} マルチブレクサ 72 の入力に接続されている。同様に、線 MVP、線 VLBIN 及び線 VCLMP は V_{PERI} マルチブレクサ 74 の入力に接続されている。

【0015】 V_{dd} マルチブレクサ 72 は、線 BINEN 上のバーンイン電圧検出器回路 76 からの制御信号と、

線 CLMPEN 上の高 V_{dd} 検出回路 70 からの制御信号とに応答して、線 MVA、線 VLBIN 及び線 VCLMP の 1 つからの電圧を、その出力である線 VAR 上に供給する。同様に V_{dd} マルチブレクサ 74 は、線 VINEN 及び線 CLMPEN 上の信号に依存して線 MVP、線 VLBIN 及び線 VCLMP の 1 つからの電圧を線 VPR 上に供給する。両マルチブレクサからの線 VAR 及び線 VPR 上の電圧出力を、本発明のオンチップ雜音遮蔽によって有利に保護することができる。両マルチブレクサからの線 VAR 及び線 VPR 上の電圧出力は、安定な参照電圧である。これらはアレイ及び周辺回路に給電するだけの十分な駆動能力は有していない。

【0016】図 8において、線 VAR 及び線 VPR 上の電圧は、それぞれ 2 つの駆動回路 78 及び 80 に印加される。駆動回路 78 は、主駆動回路 78M 及びスタンバイ駆動回路 78S からなり、アレイ 12 を電圧 V_{ARRAY} で駆動する。駆動回路 80 は、主駆動回路 80M 及びスタンバイ駆動回路 80S からなり、周辺回路 22 を電圧 V_{PERI} で駆動する。主駆動回路 78M 及び 80M は、活動動作中に、それぞれアレイ 12 及び周辺回路 22 にバイアス電圧を供給し、一方スタンバイ駆動回路 78S 及び 80S は、回路がスタンバイ状態にある時に、それぞれアレイ 12 及び周辺回路 22 にバイアス電圧を供給する。スタンバイ駆動回路 78S 及び 80S は主駆動回路 78M 及び 80M に類似した構造であるが、小さいトランジスタを使用してそれらから引き出す電流及びそれによって消費される電力がスタンバイ時間中には減少するようになっている。各駆動回路 78 及び 80 は、外部からチップに供給される V_{dd} によってバイアスされている (図示していない)。駆動回路 78M、78S、80M 及び 80S にそれぞれ接続されている線 VLA、VLS、VLP 及び VLPS はそれらへ許可信号を供給する。線 VLA 及び線 VLP 上の許可信号を DRAM 12 によって受信される行アドレスストローブ (RAS) 信号から生成して主駆動装置 78 がメモリサイクルの活動部分の間だけ活動するようになることができる。

【0017】サブストレートバイアス検出回路 82 は、サブストレートポンプ回路 84 によって発生されるサブストレート電圧 V_{bb} に接続されている。駆動回路 78 及び 80 はサブストレートバイアス検出回路 82 からの信号 VBB0 を受けている。低論理活動状態の信号 VBB0 も駆動回路 78 及び 80 の制御信号である。信号 VBB0 は、サブストレートバイアス V_{bb} を V_{dd} に対して測定した時に V_{bb} が不十分であると低論理レベルになる。駆動回路はサブストレートバイアス検出回路 82 の VBB0 出力に応答するので、サブストレートバイアスが失われた場合にはアレイ 12 及び周辺回路 22 に供給される電力が低下する。アレイ 12 及び周辺回路 22 の電力低下は、CMOS 構造に固有の寄生 SCR のラッチアップによる破壊から集積回路のこれらの部分を保護するのを援助する。

【0018】サブストレートポンプ回路84が発生する電圧V_{bb}は、チップに印加されているV_{bb}または接地電位に対して半導体サブストレート10を約-2.0Vにバイアスするために使用される。図9は、半導体チップ上の電圧調整器システムの部分的なレイアウトをブロックで示す図である。システムはメモリアレイ象限間のチップ領域内に配置されている。ブロック84はバンドギャップ参照回路65、乗算回路66、マルチプレクサ72、74の組み合わせを示している。ブロック84は安定した参照電圧V_{ARRAY}及びV_{PPLL}を出力する。電圧V_{ARRAY}及びV_{PPLL}はメモリアレイ象限に続く周辺回路に沿って走り、それぞれV_{ARRAY}駆動回路及びV_{PPLL}駆動回路にバイアスを供給する。明瞭化のために、図1で説明したメモリ象限のための行デコードは図9には示していない。行デコードが作動し、駆動回路が作動し、そして図示はしていない他の信号が電圧線VAR及びVPR付近を走ったり、またはこれらの線と交差したりすると、これらの鋭敏な信号レベルに雑音が悪影響を及ぼす機会が多くある。しかしながら、これらの電圧線は本発明の好ましい実施例の雑音遮蔽構造によって雑音から保護されている。

【0019】図10は本発明の好ましい実施例の一部分の端面を示す斜視図である。オンチップ雑音遮蔽構造90は、中心導体49c上を伝送される信号のための雑音遮蔽になる。図8及び9の安定な参照電圧V_{ARRAY}及びV_{PPLL}は、それらをオンチップ同軸ケーブル構造を通して伝送することによって雑音に対して保護することができる。雑音遮蔽構造を形成するために3レベルの導電性材料が使用されている。図6に関して説明した二重レベル金属DRAMでは、上側レベルの導電性材料42aは金属-2層42で形成することができる。この上側レベルの導電性材料42aは、中心導体49cのための上側雑音遮蔽を構成している。有利なことには、これは金属層42を形成する時にシリコンサブストレート上に形成させることができる。導電性材料の下側の層19gはゲートポリシリコン19で形成させることができる。また、これはポリサイドピット線17で形成させてもよい。下側の層19gは中心導体49cのための下側雑音遮蔽になっている。有利なことには、これはゲートポリシリコン層19を形成する時にシリコンサブストレート上に形成させることができる。中心導体49c及び側部層49a、49bは、上側の導電レベルと下側の導電レベルとの間の中間の導電レベルである。これらは金属-1層49で形成することができる。側部層49a及び49bは、中心導体49cのための側部雑音遮蔽を構成している。中心導体49cは、保護すべき信号を伝送する。例えば、中心導体49cは電圧V_{ARRAY}を伝送する。有利なことには、側部遮蔽49a、49b及び中心導体49cは、金属-1層49を形成する時にシリコンサブストレート上に形成させることができる。

【0020】図10において、上側遮蔽47aが上側遮蔽42aを中心導体49cから分離させている。DRAM実施例における上側遮蔽47aは酸化物47で形成させ、酸化物47と同時に処理することができる。下側遮蔽53aが下側遮蔽19gを中心導体49cから分離させている。図6のDRAMにおける下側遮蔽53aは酸化物53で形成させ、酸化物53と同時に処理することができる。

【0021】図10に示すように、側部遮蔽49a及び49bは、導電性材料と同一レベルの中心導体49cの両側に位置している。これらは中心導体49cから離間し、分離されている。遮蔽47aは中心導体49cと側部遮蔽49aとを分離している空間を満たすことができ、また中心導体49cと側部遮蔽49bとを分離している空間を満たすことができる。オンチップ雑音遮蔽90を形成させる場合、中間導電レベル金属-1層49を形成させた後に例えばエッティングすることによって該層をバターン化し、中心導体49cを側部遮蔽49a及び49bから分離させることができる。後に例えば水蒸気酸化を用いて成長させることによって酸化物層47aを形成させる時に、中心導体49cと横側導体との間の中間導電レベルを遮蔽用酸化物で充填することができる。

【0022】図10において、上側遮蔽42a、側部遮蔽49a、49b、及び下側遮蔽49cは全て互いに電気的に接続されている。上側酸化物47a内の通路が、上側導電レベル遮蔽42aと中間導電レベル側部遮蔽49a、49bとの間に電気的接続を与えるレベル間コネクタである。このような通路の1つ92を図示している。通路92は上側遮蔽層47a内のアーチャからなる。上側雑音遮蔽42aの金属が通路を埋め、側部遮蔽49aとの電気的接続を行う。良好な電気的接続を得るために必要なだけの通路を設けることができる。上側遮蔽42aと側部遮蔽49aとの間の接続を行う通路92は、明瞭化のために図示していない。同様に下側酸化物53a内の接続も、中間導電レベル側部遮蔽49a、49bと下側導電レベル遮蔽19gとの間の電気的接続を行うレベル間コネクタによって達成される。コネクタとしての接点94だけを図示してあるが、良好な電気的接続を得るために必要なだけの接点を設けることができる。周辺装置のための酸化物53内に接点を形成する処理中に酸化物53a内の接点を形成させることができる。同様に、酸化物47内の通路を周辺装置上に形成させる時に、酸化物47a内の通路92を形成させる。

【0023】本雑音遮蔽構造は製造中の装置の一部として処理することができるから、必ずしもそのようではなくとも差し支えないが、この構造を装置のサイズに比肩し得るサイズとすることができます。例えば、上述したメモリ装置では、ポリシリコン下側遮蔽19gの厚みは約3000Åである。酸化物53の厚みは約3000Åであり、酸化物47aの厚みは約12000Åとすることができます。

上側雑音遮蔽42aの厚みは約6000Å、側部雑音遮蔽49a及び49bの厚みは約5500Åとすることができます。

【0024】図11は半導体サブストレート上の同軸ケーブル構造を示す。図10の上側遮蔽42a、下側遮蔽19g、側部遮蔽49a、49bは全て電気的に接続されており、従って図11では導電性構造96が中心導体49cを取り囲んでいるように示してある。導体49cは導電性構造96の中心に位置している。導体49cが内側導体を構成し、導電性構造96が外側導体を構成している。内側導体49cは、絶縁体98を構成している誘電体(酸化物)47a及び53aによって外側導体96から分離されている。内側導体49cが外側導体96の内側中心にあり、外側導体96から絶縁されているのでオンチップ同軸ケーブル構造を形成しているのである。中心導体49c内を走行する信号は、この同軸ケーブル構造によって雑音妨害から保護される。上述したメモリ装置の実施例では、外側導体96はある電圧電位に接続することができる。これは、下側ポリシリコン導体19gを半導体サブストレート上の接地電圧端子に接続することによって容易に達成することができる。外側雑音遮蔽を接地のような共通電圧電位に接続することによって、信号担体上の雑音妨害がより一層減少する。

【0025】以上に説明したように、本発明は、外側導体内に配置され誘電体によって外側導体から絶縁されている信号担体を有するオンチップ同軸ケーブルを特徴としている。外側導体を接地して雑音排除を更に高めることができる。有利なことには、本発明の構造は、特別な処理段階を付加することなく二重金属装置の処理中に形成させることができ、DRAMのような高密度二重レベル金属装置に特に適している。

【0026】以上に本発明をDRAMに関して、及び電圧を雑音から分離することに関して説明したが、本発明はDRAMまたはメモリ装置、または電圧伝送線に限定されるものではない。本発明は一般的に、信号を雑音から保護する必要があるような集積回路装置に広範に有用である。限定するものではないが、本発明の恩恵を受ける他の装置例は、論理装置、マイクロプロセッサ、制御装置、及び線形装置を含むことができる。マイクロコンピュータ内のクロック線、及び論理装置内の事前緩衝された出力信号は、特に、保護の便益を受けることができる多くの信号の型の2つの例である。

【0027】本発明を特定の実施例について説明したが、この説明は本発明を限定する意図の下になされたものではない。当業者ならば、以上の説明から本発明の他の種々実施例が明白であろう。従って特許請求の範囲は、これらの変形実施例の何れも本発明の真の範囲及び思想内にあるものとして、これらをカバーするものと信ずる。

【0028】以上の記載に関連して、以下の各項を開示

する。

(1) 半導体ダイス上において上部導体、下部導体、第1の側部導体、及び第2の側部導体の間に配置され、且つそれから絶縁されている信号導体を具備し、上記上部導体、下部導体、第1の側部導体、及び第2の側部導体が電気的にバイアスされていることを特徴とする半導体装置のための保護された信号導体。

20 (2) 上部導体、下部導体、第1の側部導体、及び第2の側部導体は同一の電位で電気的にバイアスされるように互いに結合されている前記第1項に記載の保護された信号導体。

(3) 信号担体と上部導体、下部導体、第1の側部導体、及び第2の側部導体との間には絶縁用誘電体が配置され、信号担体を絶縁している前記第2項に記載の保護された信号導体。

(4) 上部導体は絶縁用誘電体の通路を通して側部導体に結合され、側部導体は絶縁用誘電体の接点を通して下側導体に結合されている前記第3項に記載の保護された信号導体。

20 (5) 半導体チップと、上記半導体チップ上に配置され、第2の導体の内側の中心に位置し且つ該第2の導体から絶縁されている第1の導体とを具備することを特徴とするオンチップ同軸ケーブル。

(6) 上記第2の導体が、上記第1の導体の上に配置されている上側導体と、上記第1の導体の下に配置されている下側導体と、上記上側導体と下側導体との間にあって、上記第1の導体の一方の側に隣接して配置されている第1の側部導体と上記上側導体と下側導体との間にあって、上記第1の導体の別の側に隣接して配置されている第2の側部導体とからなる前記第5項に記載のオンチップ同軸ケーブル。

(7) 誘電体が、上記第1の導体と上記上側導体との間と、上記第1の導体と上記下側導体との間と、上記第1の導体と上記第1の側部導体との間と、上記第1の導体と上記第2の側部導体との間に配置されている前記第6項に記載のオンチップ同軸ケーブル。

(8) 上記上側導体、第1の側部導体、第2の側部導体、及び下側導体は、上記誘電体のアバーチャを通して互いに結合されている前記第7項に記載のオンチップ同軸ケーブル。

(9) 上記上側導体、第1の側部導体、第2の側部導体、及び下側導体は、接地電位に電気的にバイアスされている前記第8項に記載のオンチップ同軸ケーブル。

(10) 上記上側導体、第1の側部導体、第2の側部導体、及び下側導体は、上記下側導体を半導体上の接地電圧源に接続することによって接地電位に電気的にバイアスされている前記第8項に記載のオンチップ同軸ケーブル。

(11) 半導体サブストレート上の信号導体を通して伝送される信号に影響する雑音を防止するための構造で

11

あって、半導体サブストレート上に配置されている第1のレベルの導電性材料と、上記第1のレベルの導電性材料上に配置されている第1のレベルの絶縁材料と、上記第1のレベルの絶縁材料上に配置され、上記信号導体が第1の側部導体と第2の側部導体（両側部導体は上記第1のレベルの絶縁材料内に配置されているレベル間コネクタを通して上記第1のレベルの導電性材料に接続されている）との間に位置し且つ両側部導体から離間するようにパターン化されている第2のレベルの導電性材料と、上記第2のレベルの導電性材料上に配置されている第2のレベルの絶縁材料と、上記第2のレベルの絶縁材料上に配置され、上記第2のレベルの絶縁材料内に配置されているレベル間コネクタを通して上記第1の側部導体及び第2の側部導体に接続されている第3のレベルの導電性材料とを具備することを特徴とする雑音防止構造。

(12) 上記第2のレベルの絶縁材料は、上記信号導体と上記第1の側部導体との間にも位置している前記第11項に記載の雑音防止構造。

(13) 上記第2のレベルの導電性材料及び上記第3のレベルの導電性材料は金属である前記第12項に記載の雑音防止構造。

(14) 上記第1のレベルの絶縁材料及び上記第2のレベルの絶縁材料は酸化物である前記第13項に記載の雑音防止構造。

(15) 上記第1のレベルの導電性材料はポリシリコンである前記第14項に記載の雑音防止構造。

(16) 上記ポリシリコンは共通電位に接続されている前記第14項に記載の雑音防止構造。

(17) 半導体サブストレート上に第1の導体信号担体を形成させる段階と、上記第1の導体信号担体が第2の導体内に位置し、且つ第2の導体から絶縁されるように上記半導体サブストレート上に第2の導体を形成させる段階と、を具備することを特徴とする半導体サブストレート上の信号担体を雑音から絶縁する方法。

(18) 上記第2の導体を形成させる段階が、上記第1の導体信号担体の下に上記第1の導体信号担体から離間させて下側導体を形成させる段階と、上記第1の導体信号担体の一方の側に上記第1の導体信号担体から離間させて第1の側部導体を形成させる段階と、上記第1の導体信号担体の別の側に上記第1の導体信号担体から離間させて第2の側部導体を形成させる段階と、上記第1の導体信号担体の上に上記第1の導体信号担体から離間させて上側導体を形成させる段階とを具備する前記第17項に記載の方法。

(19) 上記第1の導体信号担体を形成させる段階、上記第1の側部導体を形成させる段階、及び上記第2の側部導体を形成させる段階は同時に遂行される前記第18項に記載の方法。

(20) 上記第1の導体信号担体と上記下側導体との

12

間に第1の絶縁体を形成させ、上記第1の側部導体と上記第2の側部導体とが上記下側導体に電気的に結合されるように上記第1の絶縁体内に接点を形成させる段階と、上記第1の導体信号担体と上記上側導体との間に第2の絶縁体を形成させ、上記上側導体が上記第1の側部導体と上記第2の側部導体とに電気的に結合されるように上記第2の絶縁体内に通路を形成させる段階とをも備えている前記第19項に記載の方法。

(21) 半導体装置において、本発明によるオンチップ同軸ケーブルは信号導体によって伝送される信号に悪影響を及ぼす雑音を低減させる。信号導体(49c)は第2の導体内に位置し、第2の導体から絶縁されている。酸化物(47a)のような誘電体を絶縁体として使用することができる。二重レベル金属装置のようなマルチレベル金属装置では、信号導体(49c)は第1のレベルの金属で形成させることができ、第2の導体の一部もまた第1のレベルの金属で形成させることができる。第1のレベルの金属(49)を形成させた後、それをパターン化して第1の信号導体(49c)を第1の導電性雑音遮蔽(49a)及び第2の導電性雑音遮蔽(49b)から分離させる。第2の導体の金属(42)及びポリシリコンのような導電レベルの材料(19g)によって第2の導体の形成を完成させることができる。ポリシリコン(19g)のレベルは信号導体(49c)の下に配置して下側導電性雑音遮蔽を形成させることができる。第2の導体の金属(42)は信号導体の上に配置して上側導電性雑音遮蔽(42a)を形成させることができる。酸化物絶縁体(47a, 53a)を上側導電性雑音遮蔽(42a)と信号導体(49c)との間に配置することによって、及び下側導電性雑音遮蔽(19g)と信号導体(49c)との間に配置することによって、信号導体(49c)と第2の導体との間を絶縁することができる。通路(92, 94)のようなレベル間コネクタ及び酸化物絶縁体内の接点が種々のレベルに配置された第2の導体間の電気的結合を行う。信号導体は半導体チップ上の外側導体の内部の中心に位置決めされ、外側導体から絶縁されているので、雑音妨害から信号導体を保護するオンチップ同軸ケーブルが得られる。第2の導体は、下側導電性雑音遮蔽を接地のようなある電圧源に接続することによって、電気的にバイアスすることができ、それによって雑音低減を一層高めることができる。

【図面の簡単な説明】

【図1】本発明の好ましい実施例を組み入れたサブストレート上の半導体集積回路装置を示すブロックシステムレベル図である。

【図2】カプセル材料を透明にして示すパッケージされカプセル封じ半導体集積回路装置の斜視図である。

【図3】図2の部分組立て図である。

【図4】半導体集積回路装置のメモリアレイレイアウトの一部の上面図である。

13

【図5】メモリアレイのメモリセルの断面斜視図である。

【図6】メモリセルの側断面図である。

【図7】メモリセルの回路図である。

【図8】本発明の雑音遮蔽構造によって有利に保護できる電圧線を有するオンチップ安定化電圧システムを示すブロック線図である。

【図9】安定化電圧システムの一部のレイアウトを示すブロックレベル図である。

【図10】本発明の雑音遮蔽構造の好ましい実施例の部分斜視図である。

【図11】半導体サブストレート上の本発明の概念を示す斜視図である。

【符号の説明】

10 半導体チップ (サブストレート、ウェーハ)

12 DRAMアレイ

12a-12d メモリ象限

15 ピット線接点

16 メモリブロック

17 ピット線

17a チタン窒化物層

17b ポリシリコン層

18 列デコーダ

19 語線

19g 下側遮蔽

20 行デコーダ

22 周辺回路

23 水平軸

24 ボンディングパッド

25 垂直軸

26 カプセル材料

30 リードフレーム

32 ポリイミドテープ

36 V_{dd}電源バス

38 V_{ss}電源バス

40 リードフィンガー

14

40a ワイヤーボンド

42 金属-2層

42a 上側遮蔽

43 パス (転送) トランジスタ

44, 45 溝コンデンサ

46 メモリセル

47, 51, 53, 54, 55, 62 酸化物層

48 フィールド板

49 金属-2層

49a, 49b 側部遮蔽

50 硅素層

52 酸化物及び空化物層 (記憶誘電体)

54 43のゲート

56 43のソース

57 空化物の側壁

58 43のドレイン

59 N+拡散層

60 P-タンク

61 空化物層

20 64 オンチップ電圧調整器システム

65 バンドギャップ参照回路

66 乗算回路

67 パーンイン電圧発生器回路

68 V_{dd}クランプ回路

70 高V_{dd}検出回路

72 V_{dd}マルチブレクサ

74 V_{dd}マルチブレクサ

76 パーンイン電圧検出回路

78M, 80M 主駆動回路

30 78S, 80S スタンバイ駆動回路

82 サブストレートバイアス検出回路

84 サブストレートポンプ回路

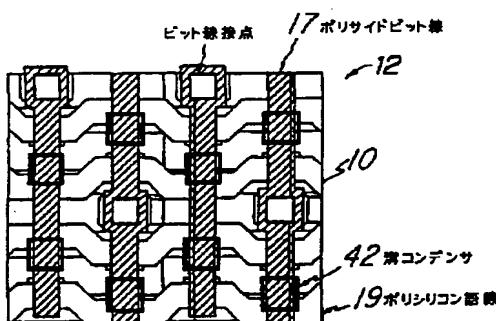
90 オンチップ雑音遮蔽構造

92, 94 通路 (レベル間コネクタ)

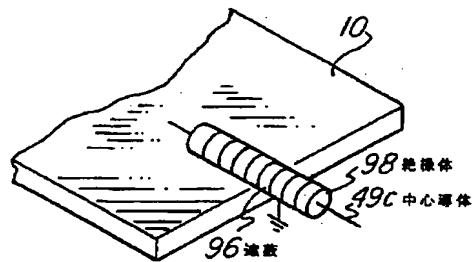
96 導電性構造 (遮蔽)

98 絶縁体

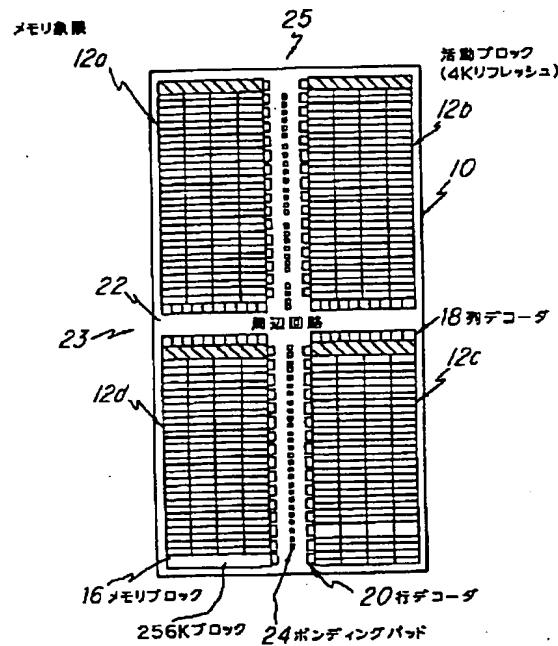
【図4】



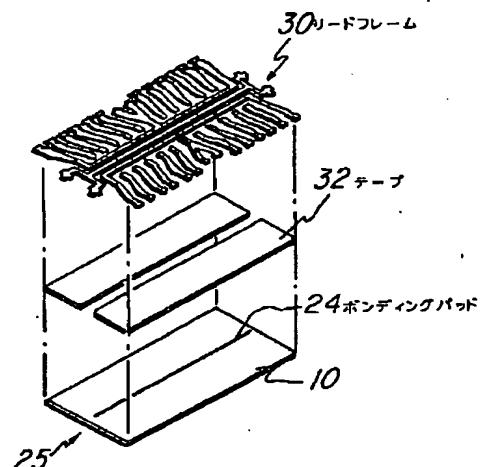
【図11】



【図1】

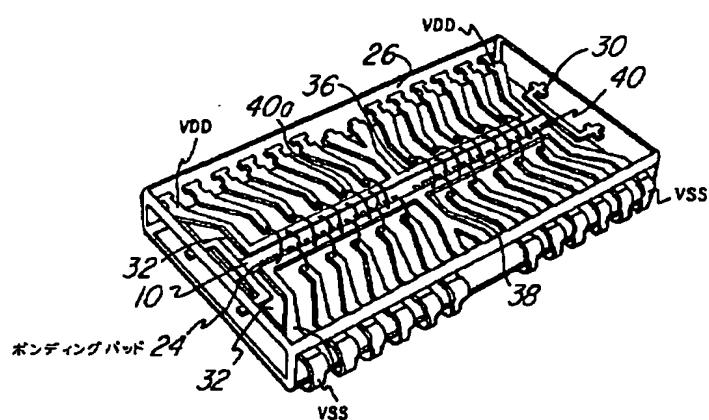
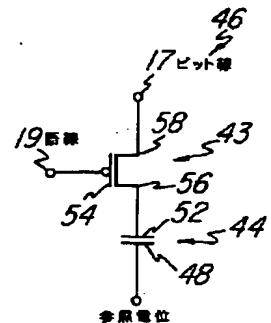


【図3】

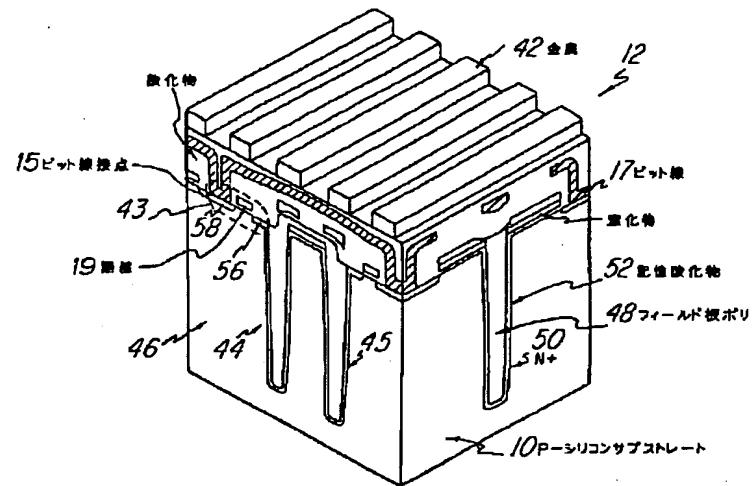


【図7】

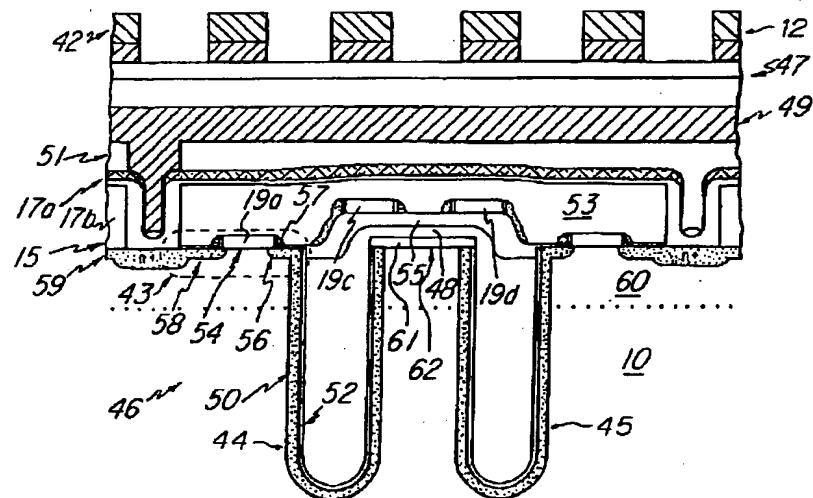
【図2】



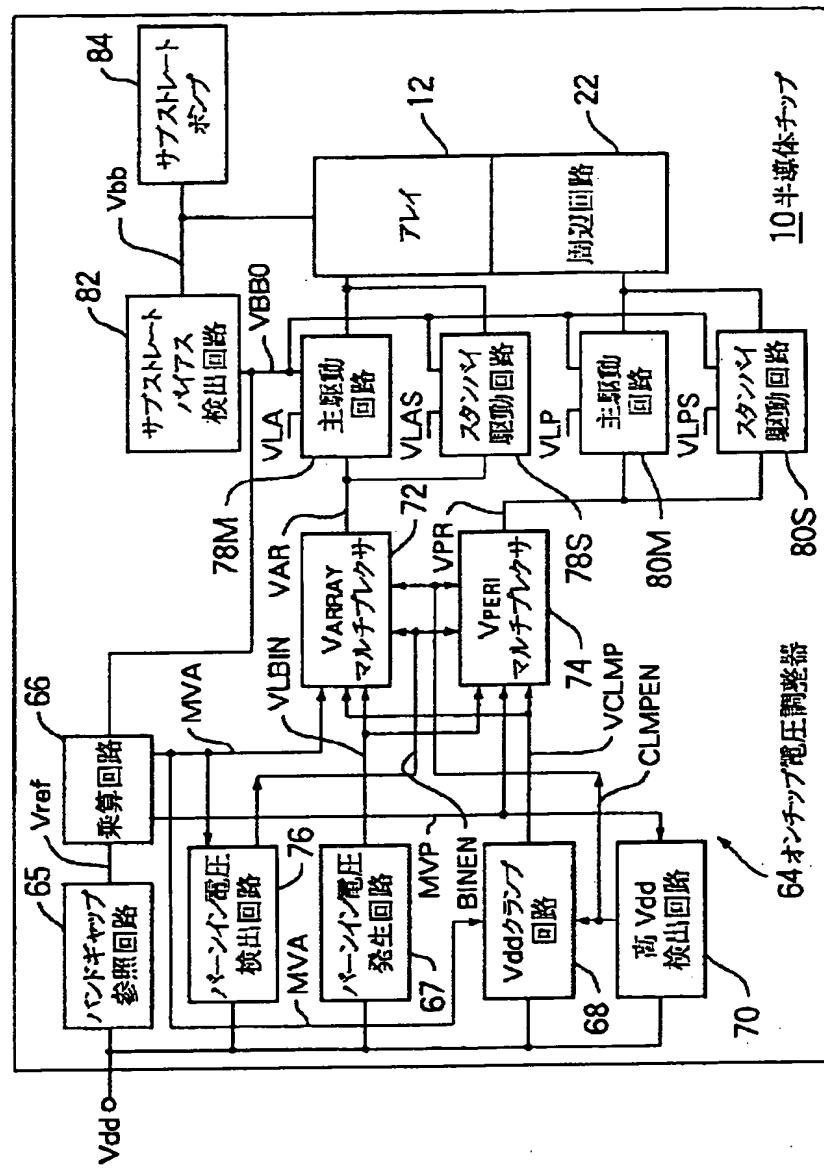
【図5】



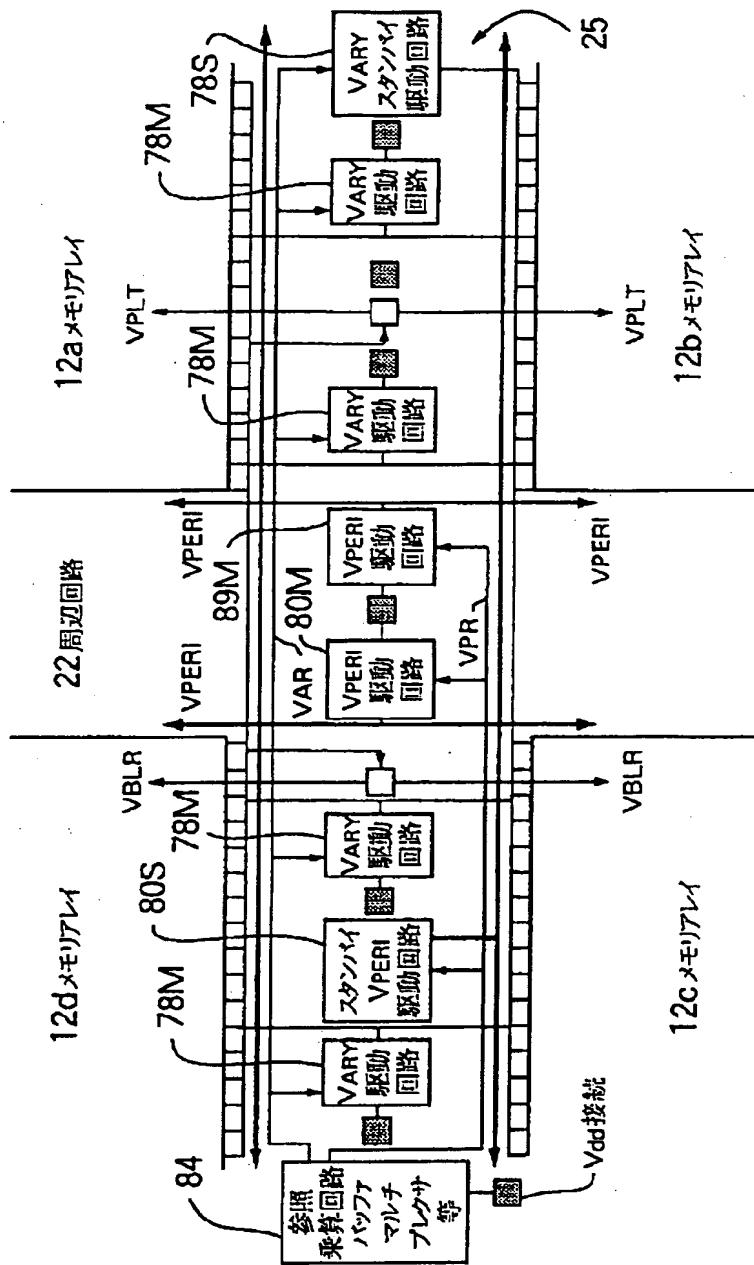
【図6】



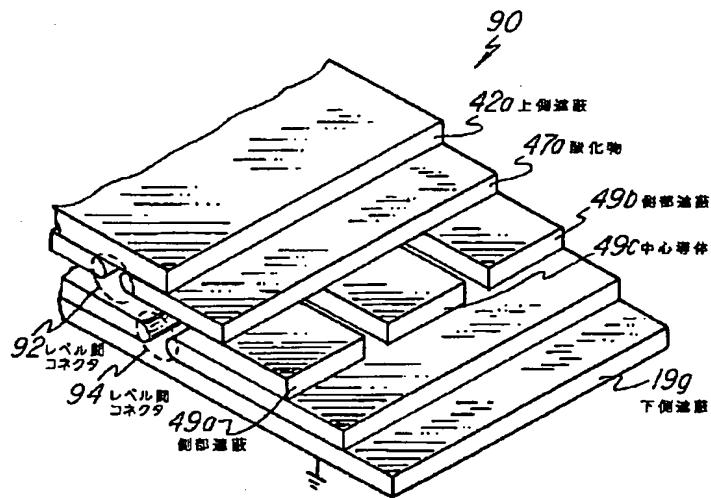
【図8】



【図9】



[図10]



THIS PAGE BLANK (USPTO)